

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-084532

(43)Date of publication of application : 31.03.1998

(51)Int.Cl.

H04N 5/92
H04N 5/937
H04N 7/24

(21)Application number : 09-191143

(71)Applicant : CANON INC

(22)Date of filing : 16.07.1997

(72)Inventor : HOSHI SHUSUKE

(30)Priority

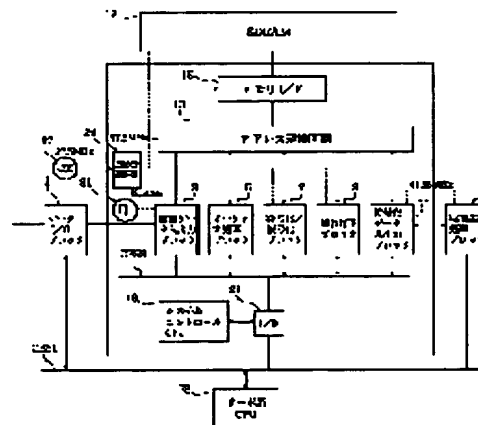
Priority number : 08190793 Priority date : 19.07.1996 Priority country : JP

(54) SIGNAL PROCESSING UNIT/METHOD AND MEMORY STORAGE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To allow a single memory means to conduct each processing by arranging data in the memory means according to processing sequence and processing units and storing another data not being processing objects to an idle area of the memory.

SOLUTION: A clock whose frequency is e.g. 27.6MHz is fed from an external frequency oscillator 27 to a frequency multiplier 29, from which a multiplied 67.6MHz signal is supplied as a reference clock. The 67.6MHz reference clock signal is selected to be an integer multiple of the signal 13.5MHz locked to a horizontal synchronizing signal generated from a frequency oscillator 31. Then each memory array in a memory 17 is made up of a sense amplifier provided independently of the memory cell and data of a prescribed amount stored in the sense amplifier are burst-transferred synchronously with the clock so as to set the transfer speed to the outside of the memory and the operating speed in the internal bank independently and a high speed read/write access is attained as a whole.



LEGAL STATUS

[Date of request for examination] 17.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-84532

(43) 公開日 平成10年(1998) 3月31日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 4 N	5/92		H 0 4 N	5/92	H
	5/937			5/93	C
	7/24			7/13	Z

審査請求 未請求 請求項の数24 O L (全 21 頁)

(21) 出願番号 特願平9-191143

(22) 出願日 平成9年(1997) 7月16日

(31) 優先権主張番号 特願平8-190793

(32) 優先日 平8(1996) 7月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 星 秀典

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

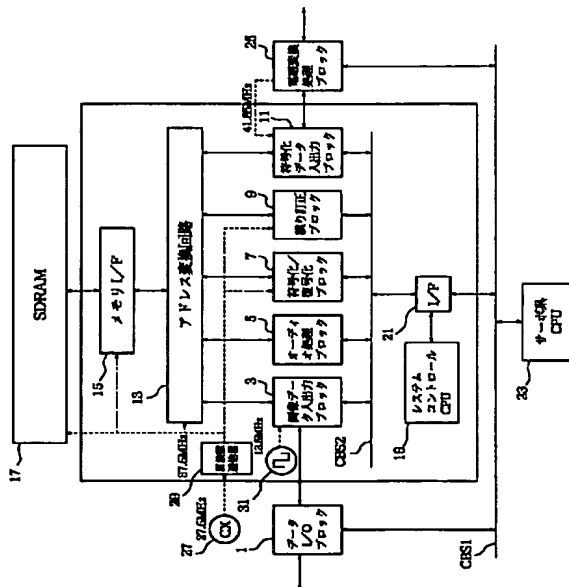
(74) 代理人 弁理士 丸島 備一

(54) 【発明の名称】 信号処理装置／方法及びメモリ記憶方法

(57) 【要約】

【課題】 単一のメモリ手段によって各処理を行えるようにするとともに、高速なリードライトを可能とするアドレスコントロールを行なう。

【解決手段】 処理されるべきデータ及び他のデータを蓄積するメモリ手段と、前記メモリ手段にアクセスしつつ前記データに所定の信号処理を行う信号処理手段と、前記メモリ手段に対する前記各データの書き込み及び読み出しを制御する制御手段とを備え、前記制御手段は、前記メモリ手段内に前記処理手段による処理順序及び処理単位に従って前記データを配列するとともに、メモリ内の空き領域に処理の対象とならない他のデータを記憶させることを特徴とする。



【特許請求の範囲】

【請求項1】 処理されるべきデータ及び他のデータを蓄積するメモリ手段と、

前記メモリ手段にアクセスしつつ前記データに所定の信号処理を行う信号処理手段と、

前記メモリ手段に対する前記各データの書き込み及び読み出しを制御する制御手段とを備え、

前記制御手段は、前記メモリ手段内に前記処理手段による処理順序及び処理単位に従って前記データを配列するとともに、メモリ内の空き領域に処理の対象とはならない他のデータを記憶させることを特徴とする信号処理装置。

【請求項2】 請求項1において、前記メモリ手段は、所定のクロックに同期したデータのバースト書き込み及び読み出しが可能であることを特徴とする信号処理装置。

【請求項3】 請求項2において、前記メモリ手段はSDRAM (Synchronous-DRAM) であることを特徴とする信号処理装置。

【請求項4】 請求項1乃至3において、前記他のデータは、オンスクリーンデータを含むことを特徴とする信号処理装置。

【請求項5】 請求項1乃至4において、前記信号処理装置は前記画像データとして複数のテレビジョン方式の画像データを入力できることを特徴とする信号処理装置。

【請求項6】 請求項1乃至5において、更に前画像データを前記ブロック単位で符号化する符号化手段を有することを特徴とする信号処理装置。

【請求項7】 請求項6において、更に前記符号化手段により符号化された前記画像データを記録媒体に記録する記録手段を有することを特徴とする信号処理装置。

【請求項8】 請求項1乃至7において、更に被写体像を撮像して前記画像データを出力する撮像手段を有することを特徴とする信号処理装置。

【請求項9】 画像データに対して n (垂直) $\times m$ (水平) 画素で構成されたブロック単位で画像データの信号処理を行う信号処理装置であって、

前記画像データを記憶するメモリと、
前記画像データの1水平期間の画像データを少なくとも m の倍数かつ、 m の倍数の n 倍が前記メモリのコラム (column) 方向の容量以下となるようなバースト長に分割する分割手段と、

前記ブロック内のすべての画像データが、同一ロウ (row) アドレスに並ぶように、前記バースト長のデータ列を同一ロウアドレスに配置する配置手段とを有することを特徴とする信号処理装置。

【請求項10】 請求項9において、前記メモリは所定クロックに同期したデータのバースト書き込み及び読み出しが可能であることを特徴とする信号処理装置。

【請求項11】 請求項10において、前記メモリはSDRAM (Synchronous-DRAM) であることを特徴とする信号処理装置。

【請求項12】 請求項9において、前記信号処理装置は前記画像データとして複数のテレビジョン方式の画像データを入力できることを特徴とする信号処理装置。

【請求項13】 請求項9乃至12において、更に前記画像データを前記ブロック単位で符号化する符号化手段を有することを特徴とする信号処理装置。

10 【請求項14】 請求項13において、更に前記符号化手段により符号化された前記画像データを記録媒体に記録する記録手段を有することを特徴とする信号処理装置。

【請求項15】 請求項9乃至14において、更に被写体像を撮像して前記画像データを出力する撮像手段を有することを特徴とする信号処理装置。

【請求項16】 画像データに対して n (垂直) $\times m$ (水平) 画素で構成されたブロック単位で画像データの信号処理を行う信号処理装置であって、
20 前記画像データを記憶するバーストアクセス可能なメモリと、

前記ブロック内のすべての画像データが、バーストアクセス可能な方向の同一のアドレスに並ぶように配置する配置手段とを有することを特徴とする信号処理装置。

【請求項17】 請求項16において、前記メモリはSDRAM (Synchronous-DRAM) であることを特徴とする信号処理装置。

【請求項18】 請求項16或いは17において、前記信号処理装置は前記画像データとして複数のテレビジョン方式の画像データを入力できることを特徴とする信号処理装置。

【請求項19】 請求項16乃至18において、更に前記画像データを前記ブロック単位で符号化する符号化手段を有することを特徴とする信号処理装置。

【請求項20】 請求項19において、更に前記符号化手段により符号化された前記画像データを記録媒体に記録する記録手段を有することを特徴とする信号処理装置。

【請求項21】 請求項16乃至20において、更に被写体像を撮像して前記画像データを出力する撮像手段を有することを特徴とする信号処理装置。

【請求項22】 処理されるべきデータ及び他のデータをメモリに記憶するステップと、
前記メモリにアクセスしつつ前記データに所定の信号処理を行うステップと、

前記メモリに対する前記各データの書き込み及び読み出しを制御するステップとを有し、

50 前記制御ステップは、前記メモリ手段ないに前記処理手段による処理順序及び処理単位に従って前記データを配列するとともに、メモリ内の空き領域に処理の対象とは

ならない他のデータを記憶することを特徴とする信号処理方法。

【請求項23】 画像データに対して n （垂直） $\times m$ （水平）画素で構成されたブロック単位で画像データの信号処理を行うために前記画像データをメモリに記憶するメモリ記憶方法であって、前記画像データの1水平期間の画像データを少なくとも m の倍数かつ、 m の倍数の n 倍が前記メモリのコラム（column）方向の容量以下となるようなバースト長に分割するステップと、前記ブロック内のすべての画像データが、同一ロウ（row）アドレスに並ぶように、前記バースト長のデータ列を同一ロウアドレスに配置するステップとを有することを特徴とするメモリ記憶方法。

【請求項24】 画像データに対して n （垂直） $\times m$ （水平）画素で構成されたブロック単位で信号処理を行うために前記画像データをバーストアクセス可能なメモリに記憶するメモリ記憶方法であって、前記ブロック内のすべての画像データが、バーストアクセス可能な方向の同一のアドレスに並ぶように配置することを特徴とするメモリ記憶方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各種データ、特に画像データ等の符号化、復号化等の処理を行うための信号処理装置／方法及びメモリ記憶方法に関する。

【0002】

【従来の技術】従来から、膨大なデータ量の各種データを符号化することによりデータ量を削減して比較的低い伝送レートで伝送し得るようにするための各種装置が開発されている。

【0003】例えば、画像データを磁気テープ等の記録媒体に記録するデジタルVTRにおいても124Mbps程度の入力画像データを5分の1の25Mbps程度に圧縮して磁気テープ上に記録し、再生するための規格が制定されている。

【0004】このような規格に基づくデジタルVTRにおいては、入力データをDCT変換した後に量子化し、この量子化データを可変長符号化することによってデータの圧縮を行っており、さらに量子化する際の量子化ステップを各種のパラメータに基づいて可変したり、可変長符号化された後のデータ量が一定となるようにレート制御が行われる。

【0005】また、入力画像データをフレーム或いはフィールド間動き補償付き予測符号化を用いて圧縮し、この予測符号化データを上述のようなDCT、量子化及び可変長符号化を用いて更に圧縮するようにしたMPEG規格が制定されており、この規格に対応したCD-ROM等の各種装置が開発されている。

【0006】

【発明が解決しようとする課題】上述のようなデジタルVTRやCD-ROM等の伝送損失が大きな伝送系を介してデータを伝送する場合には損失を補償するために誤り訂正及び誤り訂正不可能な損失に対する補間が行われる。

【0007】ところが、そのような補間を行うために従来は専用のメモリを設けなければならず装置全体のコストアップの原因となっていた。

【0008】

10 【課題を解決するための手段】上述したような背景から本願発明の一つの目的は、メモリを削減し、装置全体のコストアップ及びダウンサイジングが可能な信号処理装置及びその方法を提供することを目的とする。

【0009】このため、その一つ的好適実施態様において、信号処理装置は、処理されるべきデータ及び他のデータを蓄積するメモリ手段と、前記メモリ手段にアクセスしつつ前記データに所定の信号処理を行う信号処理手段と、前記メモリ手段に対する前記各データの書き込み及び読み出しを制御する制御手段とを有し、前記制御手段は、前記メモリ手段内に前記処理手段による処理順序及び処理単位に従って前記データを配列するとともに、メモリ内の空き領域に処理の対象とはならない他のデータを記憶させることを特徴とする。

【0010】また、その一つ的好適実施態様において、画像データに対して n （垂直） $\times m$ （水平）画素で構成されたブロック単位で画像データの信号処理を行う信号処理装置であって、前記画像データを記憶するメモリと、前記画像データの1水平期間の画像データを少なくとも m の倍数かつ、 m の倍数の n 倍が前記メモリのコラム（column）方向の容量以下となるようなバースト長に分割する分割手段と、前記ブロック内のすべての画像データが、同一ロウ（row）アドレスに並ぶように、前記バースト長のデータ列を同一ロウアドレスに配置する配置手段とを有することを特徴とする。

【0011】また、その一つ的好適実施態様において、画像データに対して n （垂直） $\times m$ （水平）画素で構成されたブロック単位で画像データの信号処理を行う信号処理装置であって、前記画像データを記憶するバーストアクセス可能なメモリと、前記ブロック内のすべての画像データが、バーストアクセス可能な方向の同一のアドレスに並ぶように配置する配置手段とを有することを特徴とする。

【0012】また、その一つ的好適実施態様において、信号処理方法は、処理されるべきデータ及び他のデータをメモリに記憶するステップと、前記メモリにアクセスしつつ前記データに所定の信号処理を行うステップと、前記メモリに対する前記各データの書き込み及び読み出しを制御するステップとを有し、前記制御ステップは、前記メモリ手段ないに前記処理手段による処理順序及び処理単位に従って前記データを配列するとともに、メモ

り内の空き領域に処理の対象とはならない他のデータを記憶することを特徴とする。

【0013】また、その一つ的好適実施態様において、画像データに対して n （垂直） $\times m$ （水平）画素で構成されたブロック単位で画像データの信号処理を行うために画像データをメモリに記憶する記憶方法は、前記画像データの1水平期間の画像データを少なくとも m の倍数かつ、 m の倍数の n 倍が前記メモリのコラム（column）方向の容量以下となるようなバースト長に分割するステップと、前記ブロック内のすべての画像データが、同一ロウ（row）アドレスに並ぶように、前記バースト長のデータ列を同一ロウアドレスに配置するステップとを有することを特徴とする。

【0014】また、その一つ的好適実施態様において、画像データに対して n （垂直） $\times m$ （水平）画素で構成されたブロック単位で信号処理を行うために前記画像データをバーストアクセス可能なメモリに記憶するメモリ記憶方法であって、前記ブロック内のすべての画像データが、バーストアクセス可能な方向の同一のアドレスに並ぶように配置することを特徴とする。

【0015】

【発明の実施の形態】以下、本発明の第1の実施例を図1ないし図14を用いて説明する。

【0016】図1は、デジタルVTRに適用した本発明の第1の実施例における信号処理装置のブロック図を示したものである。

【0017】本実施例は、図1に示すように各種処理ブロックが内/外のCPUによって制御されつつ各々が所望のタイミングでメモリにアクセスし、それらのアクセス要求をメモリ制御部が調停することで上記処理ブロックの動作を保証するように構成されている。

【0018】また、本実施例における各処理ブロックはSD対応の画像データ及びオーディオデータのリアルタイム処理を行うことができ、本実施例においてはこのような処理ユニットを並列配置して各処理回路に時分割的に画像データ及びオーディオデータを供給して処理させることによって1フレーム当たりのデータ量が上記SD画像データの倍であるようなHD対応の画像データ及びオーディオデータをリアルタイムに処理することが出来るように構成されている。

【0019】上記処理ユニットにおける各処理回路は、図1に示すようにカメラからの入力データ、EVFへの出力データ、ライン入出力データ等のデータを処理するデータI/Oブロック1、上記入力データに対してY/C分離等の処理をする画像データ入出力ブロック3、オーディオ処理ブロック5、画像データに対して離散コサイン変換を用いた可変長符号化/復号化を行う符号化/復号化ブロック7、誤り訂正ブロック9、記録時に上記符号化データをテープフォーマットに変換または、再生時にデフォーマット処理をするための符号化データ入出

力ブロック11、記録/再生時の電磁変換処理を行う電磁変換処理ブロック25から大略構成されており、これら各ブロックはアドレス変換回路13及びメモリアレイインターフェース15を介して外付けの上記メモリ17とデータの授受を行う。

【0020】これら処理回路の動作は、内部の電気系の処理を制御するシステムコントロールCPUからCPUバスCBS2を介して供給される所定のコマンド、更に外部のサーボ系CPUからCPUバスCBS1及びインターフェース21、及び上記CBS2を介して供給される所定のコマンドによって制御されて並列配置された各ブロックを時分割処理させる。

【0021】本実施例における上記メモリ17は、クロックの立ち上がり同期してデータのバースト転送を行い得るSDRAM（Synchronous-DRAM）が用いられており、このSDRAMは図2（A）に示すように2系統のメモリアレイM1、M2からなり、図1に示すようなジッターの無い外部の周波数発信器27から上記ユニット内の周波数逡倍器29に例えば、27.5MHzのクロックを供給し、そこで逡倍されて発生した67.5MHzがリファレンスクロックとして供給される。ここでリファレンスクロック67.5MHz（MCLK）は、周波数発信器31で作られるH_Syncにロックした13.5MHzの整数倍（5倍）に設定されている。さらに、図1のアドレス変換回路13、及びメモリI/F15からの制御信号及びアドレス信号に基づいて上記メモリアレイのリード/ライトモードを設定するモードコントローラ82と上記供給されるアドレスデータに基づいて上記メモリアレイにおけるアドレスを指定するアドレスコントローラ83、シリバラ変換を行うシフトレジスタ84、入出力用のバッファメモリ85とから構成されている。

【0022】また、このようなメモリ17における上記各メモリアレイM1、M2はメモリセル（DRAM）86A、86B及びこれらメモリセルとは独立に設けられたセンスアンプ87A、87Bからそれぞれ構成されており、これらセンスアンプに保持した所定量のデータをクロックに同期してバースト転送することによってメモリ外部との転送速度と内部バンク内の動作速度を独立に設定する事ができ、全体として高速なリード/ライトのアクセスを可能とする。

【0023】さらに、本実施例における上記センスアンプ87A、87Bは、図2（B）に示すように $8 \times (8 \times 8)$ 画素分の容量を備えており、8画素単位でバースト転送し得るようになっている。

【0024】このようなメモリ17における上記メモリセル86A、86Bの各メモリ空間は1フレーム分の容量を備えたビデオメモリ（VM）領域と、同様に1フレーム分の符号化データを記憶するための容量を備えたトラックメモリ（TM）領域とからそれぞれ構成されてお

り、各領域におけるメモリセルは1フレーム毎に書き込みモードと読み出しモードとに設定可能であるとともに、上記各処理ブロックは、その処理形態に応じて上記センスアンプ87A、87Bを介してVM領域又は、TM領域との間でデータの授受を行う。

【0025】即ち、図3に示すように上記画像データ入出力ブロック3は専らVM領域との間でデータの授受を行い、上記符号化／復号化ブロック7はVM領域又はTM領域との両方とデータの授受を行うことによって符号化動作時には、VM領域からデータを読み出して符号化処理した後にTM領域に書き込み、復号化動作時にはTM領域からデータを読み出して復号化処理した後にVM領域に書き込む。

【0026】同様に、上記オーディオ処理ブロック5、誤り訂正ブロック9、及び符号化データ入出力ブロック11は、専らTM領域との間でデータの授受を行う。

【0027】また、上記各領域におけるアドレス空間は図3に示すようにそれぞれ構成されている。

【0028】即ち、上記VM領域には、符号化される前の画像データ(Y、Cr、Cb)が画素単位で書き込まれ、この画像データ(NTSC方式の場合、1フレーム当たり水平720画素×垂直480画素)は、水平方向5ブロック×垂直方向10ブロックの50個のスーパーマクロブロック(以下、SMBと記す)に配分され、各SMBは輝度データ4DCTブロックと色差データ各1DCTブロックとから成るマクロブロック(以下、MBと記す)を27ブロック集めて構成されている。

【0029】なお、各DCTブロックは8×8画素から構成される。

【0030】また、上述のような画素数から成る1フレームの画像データはNTSC方式の場合符号化処理された後に磁気テープ上の10トラック(PALの場合12本)に渡って記録されるが、符号化前の画像データは上述のような水平方向に整列された5SMB分のデータが1本のトラックにそれぞれ対応する。

【0031】従って、このVM領域に対してアクセスする際のアドレスとしては、各画素の水平方向及び垂直方向にそれぞれ対応したh、v、トラックナンバTr、各トラック内のSMBナンバ、各SMB内のMBナンバ、各マクロブロック内のDCTナンバを用いることが好ましい。

【0032】一方、上記TM領域には、符号化された後の画像データ及び誤り訂正符号等が上述の10本(PALの場合12本)のトラックに分配されて記録され、各トラックに対応する領域には149のシンクブロック(以下、SBと記す)が記録される。

【0033】同様に、図示せずともオーディオデータ及び誤り訂正符号等も、上記画像データ領域とは独立した10本(PALの場合12本)のトラックに分配されて記録され、各トラックに対応する領域には14SBが記録

される。

【0034】また、画像データ／オーディオデータの各SBは、SBの先頭を示す同期データ(以下、SYと記す)、信号の各アドレス及び属性等を示すIDデータ(以下、IDと記す)、有効(画像／オーディオ)データ、及びバリディからそれぞれ構成される。

【0035】従って、このTM領域に対してアクセスする際のアドレスとしては、トラックナンバTr、各Tr内のシンクブロックナンバ(以下、SBと記す)、各SB内のシンボルナンバ(以下、SMBと記す)を用いることが好ましい。

【0036】また、上述のようなメモリ17に対する各処理ブロックのアクセスはアドレス変換回路15により調停制御及び、アドレス制御される。

【0037】即ち、図示せずともアドレス変換回路13は、内外部のCPU19、23からCBS2を介して再生モードか記録モードかといった各種動作モードの種類等を指定するコマンドが伝送されるか、又は、直接各ブロックのアドレスの所定ビットによって上記モードが伝送されて、これらの情報に応じてデータ転送の優先順位に関するスケジューリングを行うと共に、上記各ブロックからのアクセス要求(以下、Reqと記す)に応じて各処理ブロックとメモリ17との間のデータ転送の調停を行う。

【0038】上記コマンドは、図示せずとも機器本体の各スイッチ等によって設定される動作モードを上記内外部CPUが検出する事によって決定されるものであり、例えば符号化モード、復号化モード、或いは、VTRにおける特殊再生モード等の各種動作モードに対応する。

【0039】なお、上記コマンドによって指定される動作モードとしては上述のものに限られず、例えば画像合成、アフレコ、インサート等の編集、ダビング等の各種動作を含む。

【0040】上記アドレス変換回路13は、上記各処理ブロックにおける処理形態及び上記メモリ17のアドレス空間に応じた最適なデータ単位でアドレッシングし得るように各処理ブロック毎に後述する所定のアドレスを生成する。

【0041】また、このアドレス変換回路13におけるアドレス生成動作は、上記内外CPU19、23から伝送される画像タイプに応じたパラメータに基づいて可変設定されるようになっており、例えば処理すべき画像がSDかHDか、或いは、NTSCかPALかといった画像タイプ(サイズ)に応じて異なるアドレスを発生する。

【0042】一方、上記各処理回路の各部はそれぞれ必要なクロックが供給されており、そのクロックに同期して動作する。

【0043】これらの、クロックは、入力信号中から抽出される同期信号HSync、VSync及び内部基準

10

20

30

40

50

クロック等に基づいて、上記画像データ入出力ブロック3に供給されて入力信号に同期する第一のクロック（本実施例では13.5MHz）、図示せずオーディオ処理ブロック5に供給されてオーディオデータの処理を行うための第2のクロック（本実施例では48KHz）、符号化／復号化ブロック7と誤り訂正ブロック9及び、アドレス変換回路13、メモリ1/F15、メモリ17に供給される第3のクロック（本実施例では67.5MHz）、符号化データ入出力ブロック11に電磁変換処理ブロックから供給されるドラムの回転に同期したクロックで、記録媒体への記録／再生を行うための第4のクロック（本実施例では41.85MHz）があって、各処理ブロックは、供給されたクロックに応じた処理動作を行う。

【0044】以下、上述の処理回路においてつなぎ撮りを考慮したメモリ構成を詳細に説明する。

【0045】図4は、上記メモリ（2Mbyte×8bitのSDRAM）の全領域を表したものである。絶対アドレスとしては、row方向が0から2047、column方向が0から1023まで割り当てが可能である。上述したようにSD（NTSC/PAL）/HDに於ける情報量を考慮してVM領域とTM領域を図のように分割している。

【0046】まず、VM領域のメモリマッピングの規制について説明する。

【0047】ここで、SD'とPALに関しては、VM領域を512Columnで2分割しそれぞれバンク0（以下、BS0と記す。）、バンク1（以下、BS1と記す。）とする。基本的にBS0とBS1は同様に領域が分割されており、以下にBS0側について説明する。

【0048】NTSCの輝度信号（以下、Yと記す。）は、720row分の領域に割り当て、PALのY信号は864row分の領域に割り当てる。

【0049】一方、NTSCの色差信号（以下、Cと記す。）は、PALのY信号に隣接して360row分の領域に割り当て、同様にPALのC信号は432row分の領域に割り当てる。

【0050】次に、HDに関しては、BS0、BS1の2つのバンクで1つのバンクが構成され、Y信号は1024row分の領域に割り当て、C信号はY信号に隣接して384row分の領域に割り当てる。

【0051】図5は、NTSC方式に於ける1フレーム分のY信号であり、1ラインが720画素の480ライン（Line0～Line479）で構成される。

【0052】図6は、図4のエリアCを拡大したもので64row毎にrow block（以下、RBと記す。）、同様に64column毎にcolumn block（以下、CBと記す。）を構成する。

【0053】ここで、図5の1ラインの画像データは64画素毎に12分割され、その分割されたLine0の

12個のブロックは、図6の（RB0、CB0）エリアに示すように、row方向に順次記憶される。同様に、Line1に関しては、（RB0、CB1）エリアに順次記憶される。残りのラインの画像データに於いても同様である。

【0054】次に、TM領域のメモリマッピングの規則について説明する。

【0055】TM領域は、図4に示すように圧縮／符号化された画像データがVideo0及びVideo1の2バンクエリアに記憶され、オーディオデータはAudio0、1、2、3の4バンクエリアに記憶される。それぞれのバンクは、最大12トラックに分割され、トラック内は、図3に示したようにシンクブロック単位に順次記憶する。本実施例では、2バイトのSync信号を除く88バイト単位に記憶する。

【0056】ここで、図7は上述したTM領域に於けるオーディオデータエリアの1バンクについての詳細図であり、1つのrowアドレスに対してColumn方向に5つのSBが連続的にアドレッシングされて記憶される。従って、1トラックに於ける14SBのオーディオデータは、3つのrowアドレスに互って記憶されることになり、1フレーム分のオーディオデータが12トラックである場合を想定すると、36row×88バイト×5SBの領域に1バンクの領域が割り当てられる。本実施例の場合、上記領域が4バンクで構成される。

【0057】同様に、図8は上述したTM領域に於けるビデオデータエリアの1バンクについての詳細図であり、1つのrowアドレスに対してColumn方向に5つのSBが連続的にアドレッシングされて記憶される。従って、1トラックに於ける149SBのビデオデータは、30のrowアドレスに互って記憶されることになり、1フレーム分のビデオデータが12トラックである場合を想定すると、360row×88バイト×5SBの領域に1バンクの領域が割り当てられる。本実施例の場合、上記領域が2バンクで構成される。

【0058】本実施例に於いては、オーディオ／ビデオそれぞれのバンクの各トラック領域で1SB分の空きエリア（オーディオエリアでは、各14番目のSB、ビデオエリアでは、各149番目のSB）が存在するが、この領域には、例えば図1に示した誤り訂正ブロックがSB単位の誤り情報を書き込み、符号化／復号化ブロック7が復号処理を行う時にその情報を参照して復号が可能かを判断するために使用される。

【0059】なお、本実施例では、Column方向に1SBにつき2バイトのSync信号を除く88バイトの5倍の領域を確保したが、それ以外の整数倍であっても良い。

【0060】また、図4に示した斜線のエリアDは、上述した処理の余りのエリアであって本実施例では、入力された画像データ及びオーディオデータ以外のデータを

記憶するために用いる。

【0061】例えば、カメラ一体型VTRに於いてマイコンなどからの制御によって、ビューファインダ内或いは、モニタ内のキャラクタ表示（カウンタ、時刻、日付等）、ビデオテープへのキャラクタの写し込み（時刻、日付等）を制御するオンスクリーンディスプレイ（OSD）用のデータを格納することが考えられる。

【0062】図9（A）は、SDに於けるオンスクリーンディスプレイのデータサイズを示したものであり、本実施例では、ビデオデータの720画素×480画素に対して水平／垂直が共に1／2の解像度を有するものである。従って、オンスクリーンディスプレイのデータサイズは、360データ×240データとなり、かつそのOSDの1データは、4ビットで表現される。そのため、1バイトで2データを表現できるため実際のメモリ上では、図9（B）に示すように180×240データ領域を確保できれば良く、実際のOSDのアクセス形態は、主に図1に示した画像データ入出力ブロック3が64バイト単位に高速なアクセスを行うため、row方向の180データを64データ毎に3ブロックに分割（最後の1ブロックはダミーデータを含む）し、かつColumn方向に64データづつ連続させ図9（C）に示したように240データ×192データ（64データ×3）のOSD領域を設ける。

【0063】図10（A）は、OSDデータをマルチプレクスして出力する場合の簡単なブロック図である。図4に示したVM領域50から読み出された画像データと上記図9（C）に示したOSD領域から読み出されたOSDデータがマルチプレクサ54に供給される。マルチプレクサ54には、システムコントロールCPU19等から供給される制御信号56によって画像データのみか、OSDデータと合成された画像データかが選択され出力端子58に出力される。

【0064】図10（B）は、マルチプレクサ54の内部回路を示したものであり図10（A）と同様のものには同じ番号を付してある。入力端子60から入力されたVMからの出力画像データは、SWに供給されると共に加算器64に供給され入力端子62から入力されたOSDからの出力データと加算されてSWに供給される。SWはCPUからの制御信号によっていずれかの信号を選択して出力する。

【0065】なお、上記処理に於けるメモリアクセスは、図1に示したアドレス変換回路13によるアクセス要求の調停とアドレス変換、及びメモリI/F15によるメインメモリへのアクセス処理で実現される。

【0066】次に図11、12を用いて、上述のアドレス変換回路に於いて各ブロックからのメモリアクセス要求の調停動作、アクセスアドレス及びモードの出力手段について説明する。但し、ここでは、説明の簡略化のために2つの処理ブロックA/Bが独自にアクセスするも

のと仮定して説明する。

【0067】図11は、アドレス変換回路の構成を示したブロック図である。マスタークロック（以下、MCLKと記す。）に同期したJkフリップフロップ100、102は、上記2つの処理ブロックA/Bからのアクセス要求信号Req_A、Req_BがK端子に供給され、J端子にはアクセス要求信号に対応するアクセス許可信号Ack_A、Ack_Bが供給される。J-kフリップフロップのそれぞれの出力は、出力制御付きのラッチ104に供給される。ラッチ104は、図1に示すメモリI/F15からメモリのバスが解放されて次のアクセス要求受け付け可能状態を示す信号（以下、Completeと記す。）によって出力が制御される。つまり、Complete信号のタイミングによってその時点での各Reqの状態がラッチされて出力されるように動作する。ラッチ104のReq_A側の出力は、Dフリップフロップ106とORゲート112に供給されてその出力がReq_Aに対するアクセス許可信号Ack_Aとなる。

【0068】一方、ラッチ104のReq_B側の出力は、反転したReq_A側の出力とORゲート108に供給され、その出力はDフリップフロップ110とORゲート114に供給されてその出力がReq_Bに対するアクセス許可信号Ack_Bとなる。ここで、ORゲート108は、アクセス要求信号の優先順位がReq_AよりもReq_Bの方が低いために必要となる。

【0069】Addr_A、及びAddr_Bはメインメモリの実アドレスを意識しない論理アドレスであって、バースト転送されるデータ（例えば、64バイト）の先頭アドレスを示す。これらの論理アドレスは、ラッチ116及び118に供給され、Ack_A、Ack_Bによる制御を受けていずれか一方が出力される。その出力されたアドレスは、変換テーブル120へ供給され、Ack_A、Ack_Bの状態によってメモリアクセスのための実アドレスに変換すると共に、書き込み／読み込み、アクセスするデータのバースト長等のモード信号を図1に示すメモリI/F15へ供給する。

【0070】メモリI/F15では、図示せずもカウンタによって転送データの先頭の実アドレスをバースト長分インクリメントしてメインメモリにアクセスする。

【0071】図12は、上記処理動作のタイミングを表したものである。

【0072】A、Cは、各ブロックからのアクセス要求信号、Req_A及びReq_Bであり、B、DはReq_A及びReq_Bによって変化する各ブロックからの論理アドレスである。E、Fは、上記J-kフリップフロップ100、102の出力信号で、それぞれReq_A及びReq_Bによって“L”レベルにリセットされ、Ack_A及びAck_Bによって“H”レベルにセットされる。Gは、上述したようにメモリI/F15

から供給される信号で次のアクセス要求を受け付けるタイミングである。つまりCompleteが“L”レベルになった時点で上記E、Fの信号をラッチして優先順位によってH、Iのようにアクセス許可信号Ack__A、Ack__Bがローアクティブで出力される。

【0073】Jは、アクセス許可信号Ack__A、Ack__Bによってイネーブルされてラッチ116及び118から出力されるアドレスである。K、Lは、交換テーブル120から出力される実アドレスに変換されたアドレス及び、モード信号である。

【0074】なお、本実施例では、2つのブロックからのアクセス要求に対する動作を説明したが、N個のブロックに対しても同様に処理する事が可能である。

【0075】2. 補間に於けるメモリ制御
次に、本発明によって実現する補間に於けるメモリ制御について、その詳細を説明する。

【0076】図13は、上述したシステム構成に於いて再生時に欠落した画像データを補間する動作を実現するための構成を示したブロック図である。ここでは、TM領域に於ける復号前の圧縮されたデータにより補間処理が行われる。上述の実施例に於いてTM領域は、2フレーム分を割り当てた構成を示したが、本実施例では前フレームからの補間処理を行うため上記メモリの空き領域にもう1フレーム分のTM領域を割り当てる。つまり、TM領域を3バンク構成として補間処理を行う。以下に、再生時の動作を例に説明する。

【0077】端子140は、図1に示した符号化データ入出力ブロック11からの入力端子、端子142は、図1に示した誤り訂正ブロック9からの入力端子であり、上述したように図1のアドレス変換回路13によってそれぞれのメモリアクセス要求が調停され、かつメモリの実アドレスに変換されたアドレス、及び復号される前の画像データ等が供給されるものである。144、146は、上述したTM領域のフレームメモリでBK0、及びBK1であり、148は、前フレーム補間を実現するために設けたもう1フレーム分のメモリでBK2である。この3つのBKエリアへの書き込み/読み込みのアクセスは、図1に示したシステムコントロールCPU19から各処理ブロックへBK情報として供給され、それが上位アドレスに反映されることで制御される。SW150は、上記BK0、BK1、BK2の各メモリエリアから読み出す画像データを上記と同様に図1に示したシステムコントロールCPU19で制御されてから各処理ブロックへBK情報として供給され、それが上位アドレスに反映されることで制御される。SW150からの出力は、例えば端子152を介して符号化/復号化ブロックへ供給され、再生時に於いては、伸張処理されてVM領域の所定のエリアに書き込まれる。

【0078】図14は、上記メモリ構成に於ける再生時の各処理ブロックの動作を示した図である。縦軸はアド

レスでありそれぞれのBK内はトラックナンバ、シンクブロックナンバ、及び、バイトデータ単位のシンボルナンバが割り当てられている。横軸は時間でありFrame0~Frame3は、1/30秒のフレーム時間を表している。実線154は符号化データ入出力ブロックによる再生データの書き込み動作を示したものでありリニアなアドレッシングによってそれぞれBKをアクセスする。点線156は上記符号化データ入出力ブロックにより書き込まれた再生データに対して、誤り訂正ブロックによるシンドローム計算のための読み出し動作を示したものであり、上記符号化データ入出力ブロックの書き込み位相に対して時間的に1トラック遅延したリニアなアドレッシングによってそれぞれのBKをアクセスする。四角で示した158は上記シンドローム計算の読み出し動作に対して1トラック遅延後、その計算結果に対して誤りが検出できた場合に、その誤りのある特定ブロックを読み出して訂正データを加算し訂正した後元のメモリ上の位置に書き込むための動作を示したものである。この場合、1トラック時間内で1トラック内のデータを処理することが補償されている。もし、誤り訂正能力を越えた誤りがあった場合は、各MB単位に補間グラフを付加することによって後段の処理で何らかの補間処理が可能になるように処理される。

【0079】斜線で囲んだ160は、上記再生データを誤り訂正処理した復号化前の圧縮された画像データに対して、符号化/復号化ブロック画時間的に1フレーム遅延後所定のBKエリアから読み出しを行い通常5MB単位でもとの画像データに復号する処理動作を示したものである。但し、偶数トラックの5MBと奇数トラックの5MBが時間的に交互にアクセスするシャフリング処理が施されるために図に示したような絶対にアクセスされないトラックが時間的に存在することになる。

【0080】ここで、符号化/復号化ブロックによるFrameの2時間のBK1エリアの復号処理に於いて上記補間フラグが検出できた時、符号化/復号化ブロックは、BKアドレスのみを1フレームマエに変更することによって1フレーム前の同一な位置にあるMBのデータに置き換えることによって補間処理を行う。上記処理ブロックのアドレスの位相関係は、上述したシステムコントロールCPU19が一括管理している。表1に、上記に於けるBKの位相関係であり、Frame0時間に於いて符号化データ及び誤り訂正ブロックがBK0、符号化復号化ブロックの通常処理がBK2、符号化復号化ブロックの補間処理がBK1にアクセスするように制御される。以下、Frame1及び、Frame2時間に於いても各処理が同一時間内に競合し書き込み/読み出しの追い越しが起こらないように制御される。

【0081】

【表1】

表1

ブロック	Bank No.		
	Frame 0	Frame 1	Frame 2
符号化データ 入出力/誤り訂正	0	1	2
符号化/復号化 通常処理	2	0	1
符号化/復号化 補間処理	1	2	0

【0082】以下、本発明の第2の実施例を図15ないし図29を用いて説明する。

【0083】図15は、本発明の第2の実施例における信号処理装置のブロック図を示したものである。

【0084】本実施例は、図15に示すように各種処理ブロックがシステム制御部によって制御されつつ各々が所望のタイミングでメモリにアクセスし、それらのアクセス要求をシステム制御部が調停することで上記処理ブロックの動作を保証するように構成されている。

【0085】上記処理ユニットにおける各処理回路は、以下のように動作する。

【0086】それぞれ端子201、端子202、端子203は、輝度信号（以下、Yと記す）と色差信号（以下、Cr、Cbと記す）の比率が4：2：2であるD1フォーマットのデジタルコンポーネント信号の入出力端子である。画像入出力部204は、符号化時に於いては、上記端子から入力されたデータに対して色差信号を間引き処理し輝度信号と色差信号の比率をNTSCモード時は、4：1：1のデジタル信号に変換処理を行い、PALモード時は、4：2：0のデジタル信号に変換処理を行う。更に、上記ブロックは、前記変換されたY、Cr、Cbに対してマルチプレクス処理を施したデータ列（以下、MUX_DATAと記す。）を出力し、それと共にMUX_DATA列内のY、Cr/Cbを一時バッファリングするためのアドレスであるY_RA及びC_RA、同様にイネーブル信号Y_EN、C_EN、また、メインメモリにアクセスするためのアドレス、Y_MA及びC_MA、同様にメモリアクセス要求信号ReqY、ReqCを発生する。

【0087】復号化時に於いては、同様の信号を発生し

つつ、バッファからMUX_DATAを読み出し4：2：2のデジタルコンポーネント信号に変換し上記端子201、端子202、端子203へ出力する。バッファ205は、各周辺ブロックからのアドレス信号（Y_RA、C_RA、YM_RA、CM_RA）、書き込み/読み出しを制御する制御信号（Y_En、C_En、YM_En、CM_En）によって、上記MUX_DATA及び、メインメモリに対して書き込み/読み出しを行う輝度信号（以下、Y_MDと記す。）と色差信号（以下、C_MDと記す。）を所定のデータ長毎にバッ

ファリングする。メインメモリ206は、システムクロックに同期してデータの書き込み/読み出しが行われる。圧縮・伸張部207は、メインメモリ206にアクセスし、画像データに対してDCT変換（離散コサイン変換）を用いた可変長符号化/復号化を行う。

【0088】システム制御部208は、上記各部からのメインメモリに対するアドレス、及びメモリアクセス要求信号によりメインメモリを含むシステム全体の制御を行う。

【0089】本実施例における上記メインメモリ206は、クロックの立ち上がり同期してデータのバースト転送を行うことで高速な書き込み/読み出しのアクセスを可能とするSDRAM（Synchronous DRAM）が用いられている。

【0090】このSDRAMに供給されるクロックは、図16に示すようなジッターの無い外部の周波数発信器290から周波数逡倍器292に例えば、27.5MHzのクロックを供給し、そこで逡倍されて発生した67.5MHzがリファレンスクロックとして供給される。ここでリファレンスクロック67.5MHzは、図示せず周波数発信器294で作られる水平同期信号にロックした13.5MHzの整数倍（5倍）に設定されている。ここで、周波数発信器294から供給される13.5MHzは、Yのサンプリング周波数であり、周波数分周器296で4分周された3.375MHzは、上記、4：1：1或いは、4：2：0に変換時のCr、Cbのサンプリング周波数である。

【0091】次に、図15における画像入出力部204によってY、Cr、Cbがマルチプレクスされる詳細な動作について図17を用いて説明する。尚、図12において図15と同一なものに対しては、同一の番号を付してある。

【0092】240は、一般的なフィルタであり符号化処理時は、上記4：2：2で入力された画像データY、Cr、Cbを間引き処理をすることによってそれぞれ4：1：1或いは、4：2：0の画像データEX_Y、EX_Cr、EX_Cbに変換する。また逆に復号化処理時は、4：1：1或いは、4：2：0の画像データWX_Y、EX_Cr、EX_Cbを色差信号に対して補間処理を行うことにより4：2：2の画像データY、C

17

r、Cbに復元して出力する。ここで、WX_Yは、上記、13.5MHzに同期し、EX_Cr、EX_Cbは、上記、3.375MHzに同期している。242、244、246は、67.5MHzで駆動する双方向のフリップフロップであり、符号化処理時は、上記画像データEX_Y、EX_Cr、EX_Cbをマルチプレクス処理をして67.5MHzに同期したMUX_DATAを生成し、復号化時は、MUX_DATAからデマルチプレクス処理をして画像データEX_Y、EX_Cr、EX_Cbを生成する。また、上記処理は、それぞれタイミング発生器248から供給される67.5MHzに同期したイネーブル信号MUX_Y、MUX_Cr、MUX_Cbによって制御される。

【0093】また、タイミング発生器248は、上記以外に67.5MHzに同期したそれぞれのアドレス(Y_RA、C_RA、Y_MA、C_MA)、イネーブル信号(Y_En、C_En)、メモリアクセス要求信号(ReqY、ReqC)を発生し周辺ブロックへ供給する。

【0094】図18は、図17の構成に於けるマルチプレクス及びデマルチプレクス処理の詳細なタイミングである。図18(a)～図18(g)に、4:1:1へ変換されたデータを例にしてマルチプレクスのタイミングを示す。(a)は、13.5MHzに同期した輝度データEX_Y、(b)は、3.375MHzに同期した色差データEX_Cr、同様に(c)は、3.375MHzに同期した色差データEX_Cbである。(d)、(e)、(f)は、67.5MHzに同期したイネーブル信号であり、(a)のEX_Yは、(d)のMUX_YがLOWレベルの時に67.5MHzでラッチ出力され、(b)のEX_Crは、(e)のMUX_CrがLOWレベルの時に67.5MHzでラッチ出力され、(c)のEX_Cbは、(f)のMUX_CbがLOWレベルの時に67.5MHzでラッチ出力されることで(g)に示したようにマルチプレクスデータMUX_DATAが生成される。

【0095】図18(g)、図18(a)'～図18(f)'に、デマルチプレクスのタイミングを示す。(d)'、(e)'、(f)'は、それぞれデマルチプレクス処理を行うときのイネーブル信号MUX_Y、MUX_Cr、MUX_Cbである。そのイネーブル信号がLOWレベルの時にそれぞれ67.5MHzでMUX_DATAをラッチ出力することで、デマルチプレクスされたEX_Y(a)'、EX_Cr(b)'、EX_Cb(c)'が生成される。なお、当然のことながら、EX_Y(a)'は、13.5MHzに同期し、EX_Cr(b)'、EX_Cb(c)'は、3.375MHzに同期したデータ列となる。

【0096】図19は、図15に示したバッファ205のメモリマップである。容量は、全体で256バイト

18

で、上記、色差信号EX_Cr、EX_Cbは、アドレス0～127にマッピングされ、輝度信号EX_Yは、アドレス128～255にマッピングされる。更に、輝度信号、色差信号のそれぞれの領域は、例えば、本実施例では、64バイト単位にバンク構成になっている。ここで、アドレス0～63は、色差信号のためのバンク0(以下、C_B0と記す)、アドレス64～127は、色差信号のためのバンク1(以下、C_B1と記す)、アドレス128～191は、輝度信号のためのバンク0(以下、Y_B0と記す)、アドレス192～255は、輝度信号のためのバンク1(以下、Y_B1と記す)という構成になっていて、図15に示す画像入出力204とメインメモリ206の書き込み/読み出し処理が競合しないようにシステム制御部208によって制御されている。

【0097】図20は、上記バッファ205に対する符号化時の書き込み/読み出し処理の詳細なタイミング図である。(a)は、図15の画像入出力部204から供給されるマルチプレクスデータMUX_DATAである。

(b)、(d)は、MUX_DATAからそれぞれ輝度信号(XY0、XY1...)及び色差信号(XCr0、XCb0、XCr1、XCb1...)を抽出し、図19に示したバッファの各領域へ書き込むためのイネーブル信号であり、(c)、(e)は、その際の書き込みアドレスである。上記、書き込みアドレスは、(b)のY_EnがLOWレベルの時に(c)のY_RAが選択され、(d)のC_EnがLOWレベルの時に(e)のC_RAが選択される。この時、Y_EnとC_Enが同時にLOWレベルになることはあり得ない。

【0098】従って、輝度信号は、図19のY_B0のアドレス128から順次書き込まれ、色差信号は同様に、C_B0のアドレス0から順次書き込まれる。ここで、67.5MHzのが20クロックで1バケットとして、そのバケット単位にまとめて表記したものが

(a)'である。従って、1バケット内には、輝度データが4バイト、色差データがCr成分/Cb成分それぞれ1バイトずつ含まれる。

【0099】(f)、(g)は、図15の画像入出力部204からシステム制御部208に供給されるメモリアクセス要求信号であり、輝度データ及び色差データのそれぞれが、上記バッファに64バイト蓄積される毎に出力される。従って、輝度データのメモリアクセス要求信号は、(a)'に示したバケット番号P15がバッファに蓄積された時点で出力される。

【0100】一方、色差データのメモリアクセス要求信号は、(a)'に示したバケット番号P31がバッファに蓄積された時点で出力される。この時、色差データ64バイトの内訳は、Cr成分が32バイト、Cb成分が32バイトであり、上記バッファの偶数アドレスにCr

成分、奇数アドレスにCb成分が書き込まれる。

【0101】但し、これはNTSCモードの場合であり他のモードに於いては、この限りではない。

【0102】(i)、(k)は、図15のシステム制御部208に於いて各ブロックから供給されるメモリアクセス要求信号を調停した結果によって生成されるイネーブル信号YM_En及び、CM_Enである。(h)はバッファから読み出された輝度データY_MDでありYM_EnがLOWレベル期間、読み出しが行われる。同様に、(j)はバッファから読み出された色差データC_MDでありCM_EnがLOWレベル期間、読み出しが行われる。ここで、図示せずも、それぞれの読み出しアドレスは、図15の画像入出力ブロックがリアルタイムに書き込みを行っているバンクとは逆のバンクから読み出されるように発生される。

【0103】また、本実施例に於ける色差データC_MDの読み出しは、Cr成分/Cb成分それぞれ32バイト毎にまとめてSDRAMにアクセスしたいために偶数/奇数に分けてアドレスを発生する。

【0104】図21は、上記バッファ205に対する復号化時の書き込み/読み出し処理の詳細なタイミング図である。(a)ReqY、(b)ReqCは、図15の画像入出力部204から図15のシステム制御部208に対するメモリアクセス要求信号であって図17のタイミング発生器248から供給される。ReqYは、 $(1/13.5\text{MHz} \times 64\text{byte})\text{ns}$ 周期で発生し輝度データをアクセスし、ReqCは、 $(1/6.75\text{MHz} \times 64\text{byte})\text{ns}$ 周期で発生し色差データをアクセスする。(c)Y_MD、(d)C_MDは、図15のシステム制御部208で上記メモリアクセス要求信号を調停処理した結果、読み出しアドレスを図15のメインメモリ206へ供給することで読み出された輝度データ、及び色差データである。

【0105】本発明に於けるメモリアクセスに際してのバースト長は、符号化時と同様に64バイトである。尚、アクセスに際するバースト長の算出手段は、後に詳細な説明をする。

【0106】(d)YM_En、(f)CM_Enは、上記メインメモリから同様のバースト長で読み出されたデータを図15のバッファ205へ書き込むためのイネーブル信号であり、それぞれLOWレベル期間にそれぞれのデータの書き込み処理が行われる。

【0107】尚、図示せずも、図15のシステム制御部208からバッファ205に対して書き込みアドレスが供給されるが、前述したように、バンク制御されており他のブロックの処理と競合しないように発生される。

【0108】(g)Y_En、(i)C_En、及び(h)Y_RA、(j)C_RAは、上記符号化処理に於いて説明したように図15の画像入出力部204からバッファ205に供給されるイネーブル信号と読み出し

アドレスである。(k)MUX_DATAは、上記(g)Y_En、(i)C_En、及び(h)Y_RA、(j)C_RAによってラッチ出力された輝度データと色差データがマルチプレクスされたデータ列であり、上記図15の画像入出力部204へ供給される。

【0109】次に、図15のメインメモリ206のマッピング処理を詳細に説明する。

【0110】図22は、図15のメインメモリ6のメモリ空間を表したものであり2フレーム分の容量を備えたビデオメモリ(VM)領域(BS0及びBS1)と、それ以外のデータを記憶するための容量を備えたOthers領域とからそれぞれ構成されている。

【0111】各領域におけるメモリセルは1フレーム毎の書き込みモードと読み出しモードとに設定可能であるとともに、必要に応じてVM領域又は、Others領域との間でデータの授受を行う事も可能である。

【0112】即ち、図15に示すように上記画像入出力部204はバッファ205を介して、専らVM領域との間でデータの授受を行い、圧縮/伸張部207はVM領域とのデータの授受を行うことによって符号化動作時には、VM領域からデータを読み出して符号化処理した後にその後に続く処理部に対して符号化データを出力し、復号化動作時には入力された符号化データに対して復号化処理した後にVM領域に書き込む。この時のアドレスは、図15のシステム制御部208によってrowアドレスとcolumn(以下、colと記す。)アドレスとして発生される。

【0113】次に上記メインメモリ206にアクセスする際のバースト長の算出方法を説明する。

【0114】図23(A)は、4:1:1に変換されたNTSCモードの1フレームに於ける輝度データ(以下、Yと記す。)の構成を示したもので、水平720画素×垂直480ラインで構成される。図23(B)は、4:1:1に変換されたNTSCモード1フレームに於ける色差データ(以下、Cr、Cbと記す。)の構成を示したもので、Cr、Cbそれぞれ水平180画素×垂直480ラインで構成される。

【0115】図24(A)は、4:2:0に変換されたPALモードの1フレームに於ける輝度データ(以下、Yと記す。)の構成を示したもので、水平720画素×垂直576ラインで構成される。図24(B)は、4:2:0に変換されたPALモード1フレームに於ける色差データ(以下、Cr、Cbと記す。)の構成を示したもので、Cr、Cbそれぞれ水平360画素×垂直288ラインで構成される。

【0116】図25は、図15に示した圧縮・伸張部207が符号化/復号化処理をする時のDCTブロックである。通常n画素×m画素で構成されるが、本実施例では、 $n=m=8$ としている。ここで、本発明では、メインメモリにアクセスする際のバースト長を次の条件式に

より決定する。

【0117】 $(m \times N) \times n \leq \text{COL} \cdots \cdots (1)$

バースト長 $=m \times N$

N: 1以上の自然数

COL: バンク(BS0及びBS1)のカラム方向の容量

【0118】ここで、本実施例では、COL=512であるため、上記、式(1)は、

$8N \times 8 \leq 512 \cdots \cdots (2)$

となることから $N \leq 8$ となる。従ってバースト長は、8バイト以上64バイト以下の8の倍数となる。SDRAMを効率良く高速にアクセスするには、rowアドレスを固定し、できるだけ長いバースト長でアクセスするのが望ましい。従って、本実施例に於いては、バースト長を64バイトとする。

【0119】次に、上記4:1:1モードの場合のYデータのVMに対するアクセス方法について詳細に説明する。

【0120】図26は、図22のエリアAを拡大し実際の画面イメージのデータがメモリ上に配置される様子を示したものである。

【0121】ここで、CBL0~CBL7は、64column毎に分割されたcolumn blockで、RNは、水平1ラインの分割数である。上述の如く図23(A)の1ラインの画像データは64画素ごとに12分割され、粗の分割されたLine0の12個のブロックは、図26のCBL0エリアに示すように、row方向(アドレス0~アドレス11)にcolアドレスをバースト長分インクリメントしつつ順次記憶される。同様に、Line1に関しては、CBL1エリアに順次記憶される。残りのラインの画像データに於いても同様である。

【0122】従って、CBL0エリアには、図23(A)の $8n+0$ 番目(n は、0以上の正数)のラインのデータが順次記憶され、CBL1エリアには、 $8n+1$ 番目、CBL2エリアには、 $8n+2$ 番目、CBL3エリアには、 $8n+3$ 番目、CBL4エリアには、 $8n+4$ 番目、CBL5エリアには、 $8n+5$ 番目、CBL6エリアには、 $8n+6$ 番目、CBL7エリアには、 $8n+7$ 番目のラインのデータが順次記憶されることになる。

【0123】このように記憶された同一のrowアドレス上には、図25に示した8画素×8画素のDCTブロックが上記1画面の水平方向に8個分存在する。

【0124】従って、図15の圧縮・伸張部207が、このデータを読み出して符号化する場合は、CBL0~CBL7のそれぞれ先頭アドレスから8データを連続して読み出せば、所望の8画素×8画素のDCTブロックのデータを得る事ができ、順次同様にCBL0~CBL7に対してcolアドレスを8つつオフセットしつつ8

データを連続して読み出す事で順次DCTブロックを構成し処理を行う。

【0125】一方、復号化処理時に於いては、図15の圧縮・伸張部207が復号処理した8画素×8画素データを符号化時とは逆に、CBL0~CBL7に対してcolアドレスを8つつオフセットしつつ8データを連続して書き込む事で図5(f)に示した如くデータを記憶させる。図15の画像入出力部204は、rowアドレスを順次遷移させながら前記データを64バースト単位に連続読み出しを行う。4:2:0モードに於いても同様の処理動作を行う。

【0126】次に、Cr、CbデータのVMに対するアクセス方法について詳細に説明する。

【0127】初めに、図15の画像入出力部204のメモリアccess動作について説明する。

【0128】図23(B)に示したように、4:1:1モードに於ける色差データは、水平方向に1/4に間引かれ、かつ、毎ラインにCr、Cbデータが同時に存在する。また、色差データのDCTブロック構成は、輝度データと同様に8画素×8画素であり、1バンク当たりのCOL方向の容量は、512バイトである。従って、1回のアクセスに於けるバースト長は、輝度データと同様に64バイトとなる。但し、上述したように4:1:1モードに於ける色差データの性質から、1回のアクセスに於けるバースト長の内訳は、Crの32バイトとCbの32バイトを合わせた64バイトとなる。

【0129】図27(a)は、上記4:1:1モードに於ける図22のCr/Cb領域のバンク0を示したものである。Cr、Cbはcolアドレスによって分割し、colアドレスが0から255までをCr領域、colアドレスが256から511までをCb領域とする。CBL0~CBL15は、Cr/Cbそれぞれ32column毎に分割されたcolumn blockである。ここで、書き込み/読み出し両モードに於ける色差データ64バイトのアクセスは、Crの32バイトがCBL0に対して行われ、Cbの32バイトがCBL8に対して行われる。順次、ラインが遷移する毎に、CBL1とCBL9、CBL2とCBL10というようにアクセスエリアが遷移する。

【0130】図28は、図27(a)のCr領域のバンク0を拡大し、上記処理を詳細に示したものである。

【0131】ここで、RNは、水平1ラインの分割数であり色差データの場合RN=5である。上述の如く図23(B)の1ラインの画像データは、Cr、Cbそれぞれ32画素毎に6分割される。その分割されたLine0の6個のブロックは、Crの場合図28のCBL0エリアに示すように、row方向(アドレス0~アドレス5)にcolアドレスをバースト長分インクリメントしつつ順次処理される。同様に、CbのLine0の6個のブロックは、CBL8エリアに対して処理が行われ

る。

【0132】また、LineのCr及びCbに関しては、CBL1及びCBL9エリアに対して同様に処理される。残りのラインの画像データに於いても同様である。従って、CBL0、CBL8エリアに対しては、図23(B)の $8n+0$ 番目(n は、0以上の正数)のラインのそれぞれCr、Cbデータが処理され、以下同様にCBL1、CBL9エリアには、 $8n+1$ 番目、CBL2、CBL10エリアには、 $8n+2$ 番目、CBL3、CBL11エリアには、 $8n+3$ 番目、CBL4、CBL12エリアには、 $8n+4$ 番目、CBL5、CBL13エリアには、 $8n+5$ 番目、CBL6、CBL14エリアには、 $8n+6$ 番目、CBL7、CBL15エリアには、 $8n+7$ 番目のラインのデータが処理されることになる。

【0133】次に、図15の圧縮・伸張部207のメモリアクセス動作について説明する。

【0134】例えば、4:1:1モードのCr、Cbが上述のように書き込み処理された同一のrowアドレス上には、図25に示した8画素×8画素のDCTブロックが上記1画面の水平方向にCr、Cbそれぞれ8個分存在する。

【0135】従って、図15の圧縮・伸張部207が、このデータを読み出して符号化する場合、CBL0～CBL7のそれぞれ潜像アドレスから8データを連続して読み出せば、所望の8画素×8画素のDCTブロックのCrデータを得る事ができ、同様に、CBL8～CBL15のそれぞれ先頭アドレスから8データを連続して読み出せば、所望の8画素×8画素のDCTブロックのCbデータを得る。

【0136】順次同様にCBL0～CBL7、及びCBL8～CBL15に対してcolアドレスを8つつオフセットしつつ8データを連続して読み出す事でCr、Cbそれぞれ所望のDCTブロックを構成し処理を行う。

【0137】一方、復号化処理時に於いては、図15の圧縮・伸張部207が復号処理した8画素×8画素データを符号化時とは逆に、CBL0～CBL7、及びCBL8～CBL15に対してcolアドレスを8つつオフセットしつつ8データを連続して書き込む事で図28に示した如くデータを記憶させる。図15の画像入出力部204は、rowアドレスを順次遷移させながらCrデータの32バイト及びCbデータの32バイト毎に64バースト単位にして連続読み出しを行う。

【0138】次に、4:2:0モードに於ける処理動作を説明する。

【0139】図24(B)に示したように、4:2:0モードに於ける色差データは、Cr、Cbそれぞれ垂直方向に1/2に間引かれ、毎ライン交互にCr、Cbデータのどちらか一方が存在する。また、色差データのDCTブロック構成は、輝度データと同様に8画素×8画

素であり、1バンク当たりのCOL方向の容量は、512バイトである。

【0140】従って、1回のアクセスに於けるバースト長は、Cr、Cbそれぞれ輝度データと同様に64バイトとなる。図27(b)は、上記PALモードに於ける図22のCr/Cb領域のバンク0を示したものである。Cr、Cbは、rowアドレスによって分割し、本実施例ではrowアドレスが864から1079までをCr領域、rowアドレスが1080から1294までをCb領域とする。CBL0～CBL7は、Cr/Cbそれぞれ64column毎に分割されたcolumn blockである。

【0141】ここで、Crデータの書き込み/読み出し両モードに於ける色差データ64バイトのアクセスは、図24(B)に示した偶数ラインの場合に行われ、例えばLine0の時はCrの64バイトがCBL0に対して行われる。順次、ラインが遷移する毎にアクセスエリアは、CBL7までの間で遷移する。詳細な処理動作は、図25を用いて説明する。

【0142】図29は、図27(b)のCrエリアを拡大し実際の画面イメージのデータがメモリ上に配置される様子を示したものである。

【0143】ここで、CBL0～CBL7は、64column毎に分割されたcolumn blockで、RNは、水平1ラインの分割数である。上述の如く図24(B)の1ラインの画像データは64画素ごとに6分割され、その分割されたLine0の6個のブロックは、図29のCBL0エリアに示すように、row方向(アドレス0～アドレス5)にcolアドレスをバースト長分インクリメントしつつ順次記憶される。同様に、Line2に関しては、CBL1エリアに順次記憶される。残りのラインの画像データに於いても同様である。

【0144】従って、CBL0エリアには、図24(B)の $8n+0$ 番目(n は、0以上の正数)のラインのデータが順次記憶され、CBL1エリアには、 $8n+2$ 番目、CBL2エリアには、 $8n+4$ 番目、CBL3エリアには、 $8n+6$ 番目、CBL4エリアには、 $8n+8$ 番目、CBL5エリアには、 $8n+10$ 番目、CBL6エリアには、 $8n+12$ 番目、CBL7エリアには、 $8n+14$ 番目のラインのデータが順次記憶されることになる。

【0145】尚、Cbエリアに関しては、図示せずもCBL0エリアには、図24(B)の $8n+1$ 番目(n は、0以上の正数)のラインのデータが順次記憶され、CBL1エリアには、 $8n+3$ 番目、CBL2エリアには、 $8n+5$ 番目、CBL3エリアには、 $8n+7$ 番目、CBL4エリアには、 $8n+9$ 番目、CBL5エリアには、 $8n+11$ 番目、CBL6エリアには、 $8n+13$ 番目、CBL7エリアには、 $8n+15$ 番目のラインのデータが順次記憶されることになる。図15の圧縮

・伸張部207の符号化／復号化時のメモリアクセスは、他のモードと同様にアクセスされて、Cr、Cbに於いてそれぞれ所望の8画素×8画素のDCTブロック単位の処理がされる。

【0146】尚、図27に示したCr、Cbのエリア分割手段は、一例であって、例えば図27(a)のCr、Cbを32バイト単位にcolアドレス方向に対して交互に分割しても良い。つまり、colアドレスでCr、Cbが分割されていて、かつ前記条件式から導かれたバースト長分の連続データが同一rowアドレス上に配置出来れば良い。図27(b)については、rowアドレスでCr、Cbが分割されていて、かつ前記条件式から導かれたバースト長分の連続データが同一rowアドレス上に配置出来れば良い。

【0147】尚、本実施例の信号処理装置を図30に示したようにカメラ一体型デジタルビデオに備えることによりメモリを削減し、コストダウンを可能とすることができる。

【0148】図30において、301は被写体像を電気的信号に変換して画像データを生成するカメラ部、302は第1或いは第2の実施例で説明した処理を行う信号処理装置である。

【0149】303は信号処理装置302により処理された画像データを磁気テープ等の記録媒体に記録再生する記録再生部、304は信号処理装置302により処理された画像データを液晶モニタ等により表示する表示部である。

【0150】上述のように構成されたカメラ一体型デジタルビデオの動作を説明する。

【0151】カメラ部301で撮像された映像信号は信号処理装置302に入力され、第1或いは第2の実施例で説明した処理により符号化を行う。また、撮像中の画像データはモニタ部304に表示することができる。

【0152】信号処理装置302により符号化された画像データは記録再生部303により記録媒体上に記録される。

【0153】また、記録媒体上に記録された画像データは、記録再生部303で再生され、信号処理装置302で第1或いは第2の実施例で説明した処理により復号化される。符号化された画像データはモニタ部304に出力され、表示される。

【0154】

【発明の効果】本発明によれば以下の効果を有する。

【0155】メモリマッピングの規則における発明では、1つのメインメモリを効率良くかつSメモリのcolumn（バースト）方向に連続するデータ（例えば信号処理単位となるデータ）を連続的に記憶させるために高速にアクセスすることが可能となる。特に、メモリとしてバースト書き込み及び読み出しが可能なSDRAM等を用いた信号処理装置では、メモリへのアクセス動作

が容易となるので、高速信号処理が可能となるという効果も奏する。

【0156】更に、空き領域に対してOSD等の記録フォーマットに無関係なデータを記憶する領域を割り当てることによって容易にシステムとしての機能向上を図れる。

【図面の簡単な説明】

【図1】本発明にかかる第1の実施例の信号処理装置の構成を表わすブロック図である。

【図2】本実施例におけるSDRAMの構成を示した図である。

【図3】本実施例におけるSDRAMに対する各処理ブロックのアクセス対応関係を説明するための図である。

【図4】本実施例におけるSDRAMに対するデータマッピングを説明する図である。

【図5】NTSC方式における1フレーム分のY信号の構成を示した図である。

【図6】本実施例におけるSDRAM内のVM領域へのアクセス手段を説明するための図である。

【図7】本発明のSDRAM内のTM領域におけるオーディオデータの記憶エリアを示した図である。

【図8】本発明のSDRAM内のTM領域に於けるビデオデータの記憶エリアを示した図である。

【図9】オンスクリーンディスプレイのデータサイズを説明するための図である。

【図10】ビデオデータとOSDデータとを合成して出力するための手段を実現する構成を示したブロック図である。

【図11】アドレス変換回路13の具体的な構成を示したブロック図である。

【図12】図11のアドレス回路における信号のタイミングを表した図である。

【図13】本実施例における補間処理を実現するための構成を示したブロック図である。

【図14】本実施例における補間処理に係る各種処理ブロックがメモリをアクセスする様子を示した図である。

【図15】本発明の第2の実施例における信号処理装置のブロック図である。

【図16】本実施例で用いられるクロックを説明するための図である。

【図17】画像入出力部204の詳細ブロック図である。

【図18】図17の構成の画像入出力部204におけるマルチプレクス及びデマルチプレクス処理の詳細な信号タイミングを説明する図である。

【図19】バッファ205内部のメモリ空間のマッピングを説明するための図である。

【図20】バッファ205に対する符号化時の書き込み／読み出し処理の詳細な信号タイミングを説明する図である。

27

【図21】バッファ205に対する復号化時の書き込み／読み出し処理の詳細な信号タイミングを説明する図である。

【図22】メインメモリ206内部のメモリ空間のマッピングを説明するための図である。

【図23】NTSC方式における輝度・色差データの1フレームの構成図である。

【図24】PAL方式における輝度・色差データの1フレームの構成図である。

【図25】符号化／復号化時のDCTブロックの構成図 10 である。

【図26】図22におけるエリアAを拡大し、Yデータ*

28

*のマッピング処理の様子を示した図である。

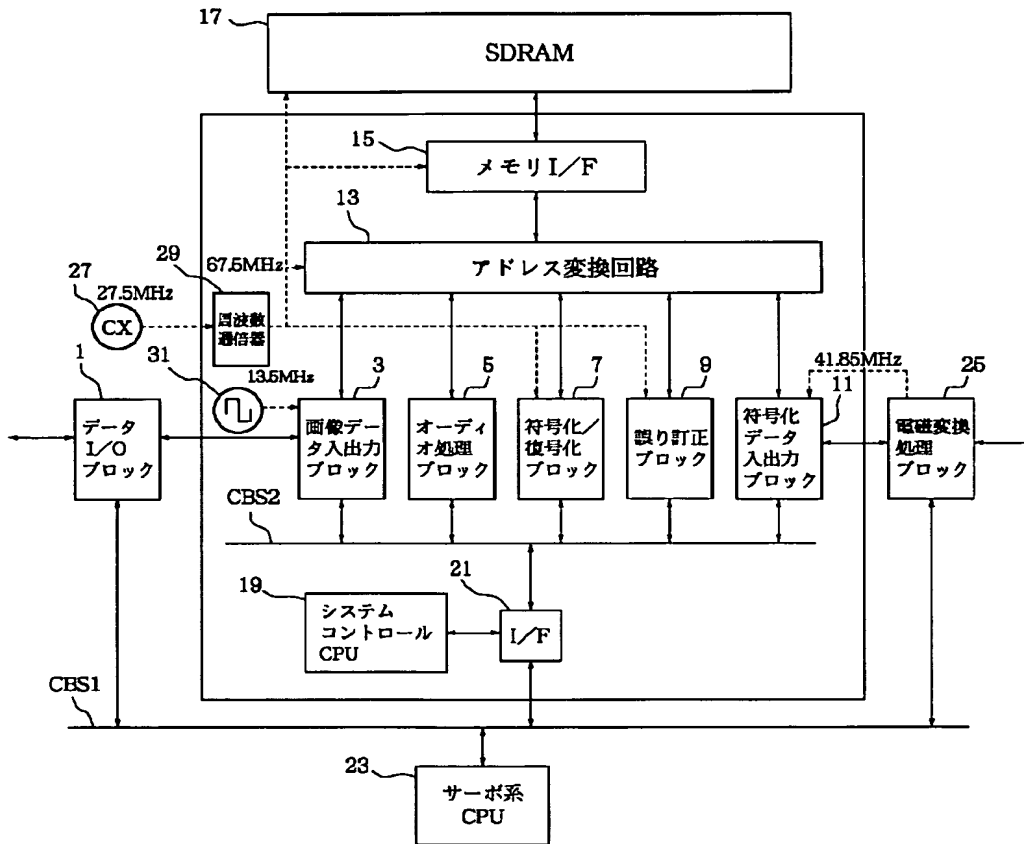
【図27】メインメモリ206のCr/Cb領域のバンク0を説明するための図である。

【図28】図27(a)のCr領域のバンク0を拡大し、Crデータのマッピング処理の様子を示した図である。

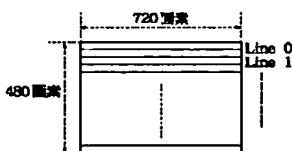
【図29】図27(b)におけるCrエリアを拡大し、Yデータのマッピング処理の様子を示した図である。

【図30】第1あるいは第2の実施例の信号処理装置をカメラ一体型VTRに適用した際の構成を示したブロック図である。

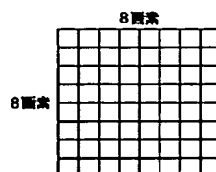
【図1】



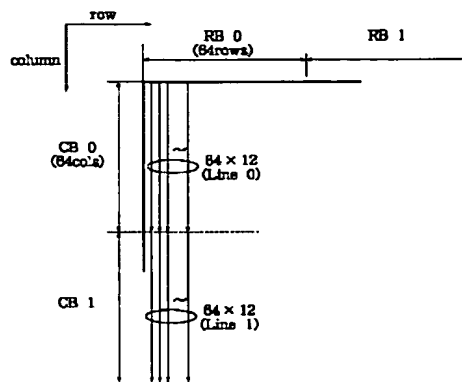
【図5】



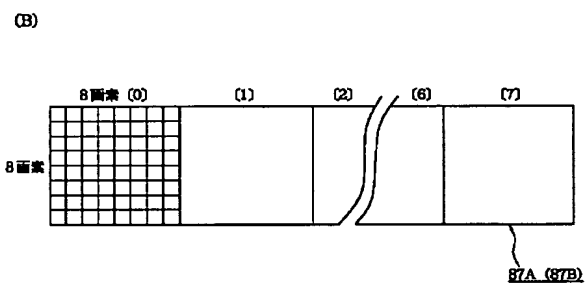
【図25】



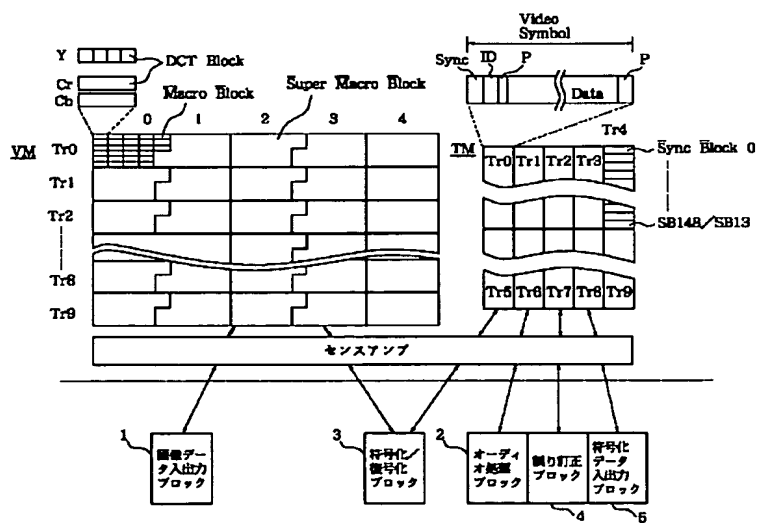
【図6】



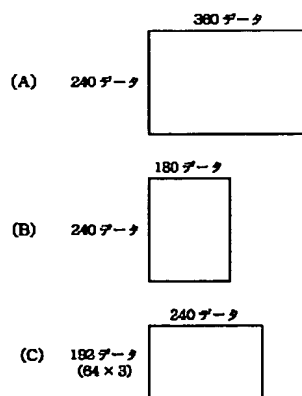
【図7】



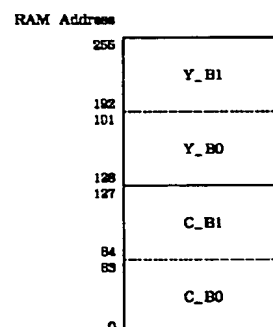
【図 3】



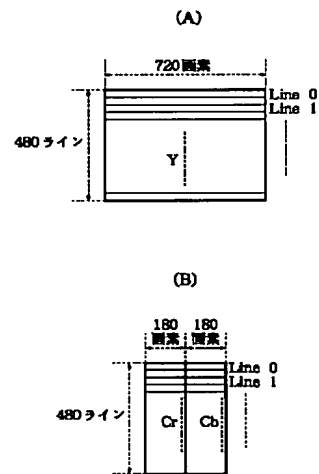
【図9】



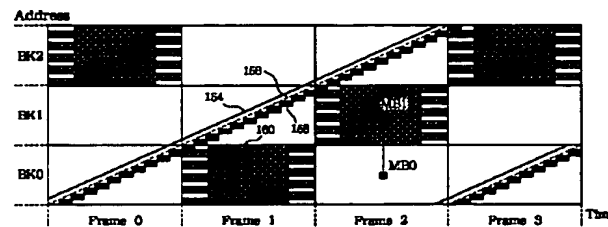
【圖 19】



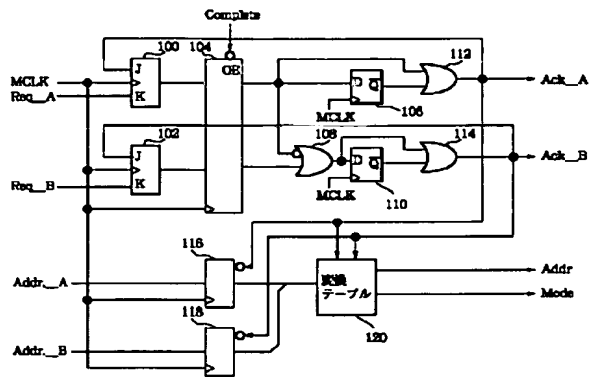
【圖 23】



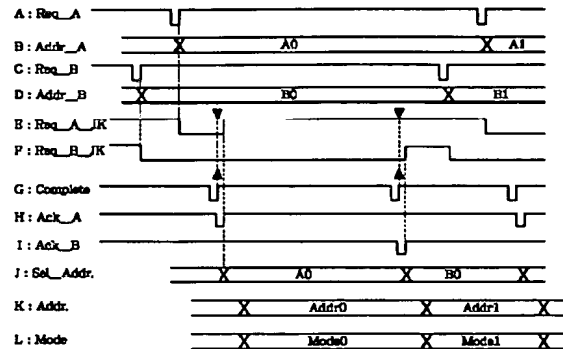
【圖 14】



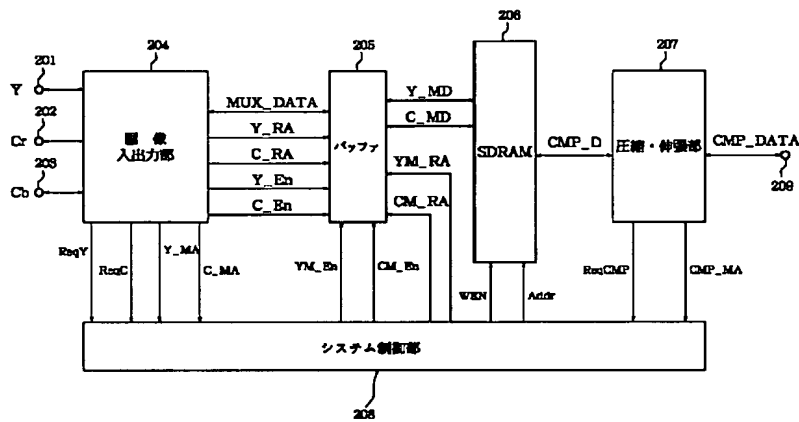
【図11】



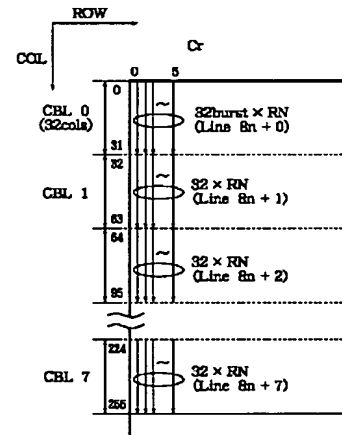
【図12】



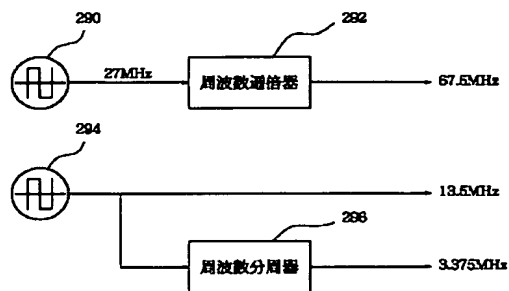
【図15】



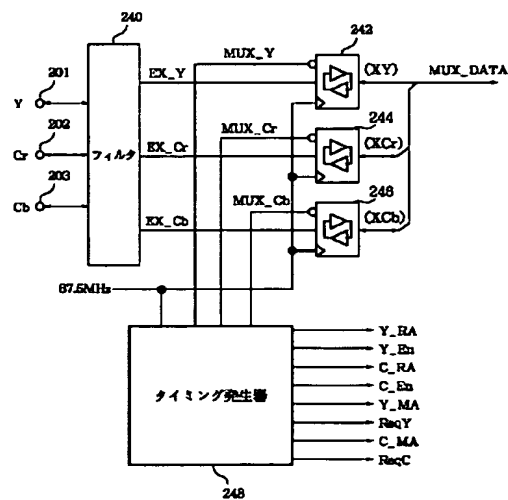
【図28】



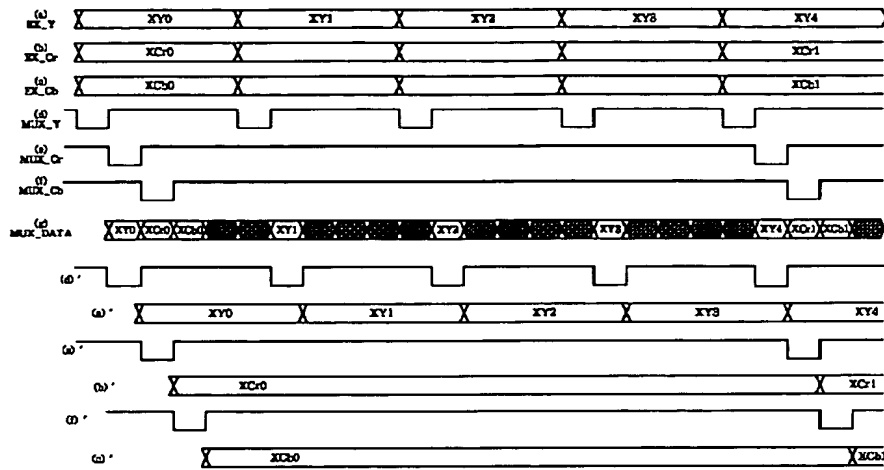
【図16】



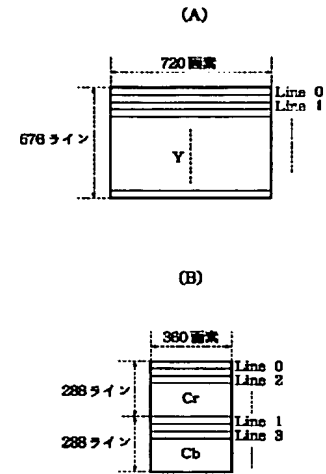
【図17】



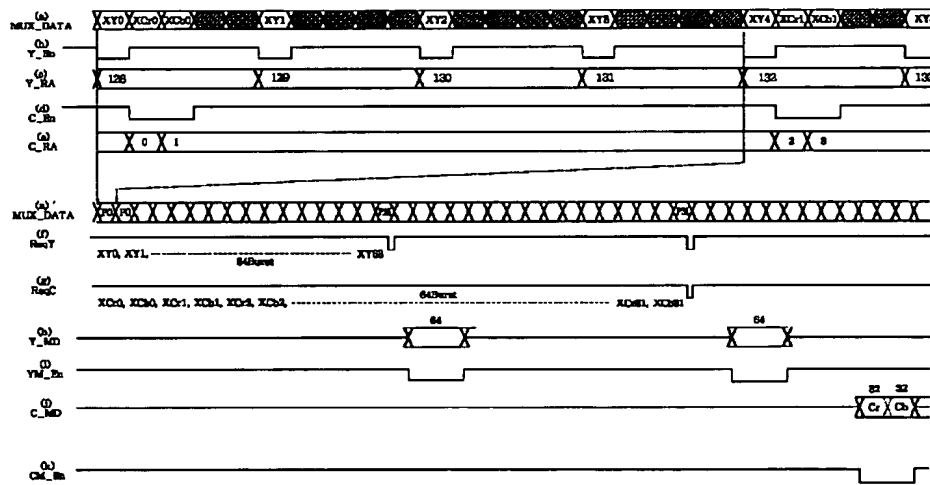
【図18】



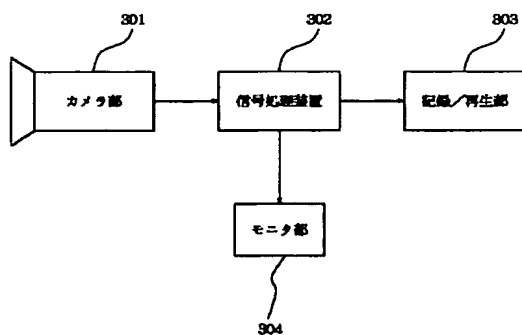
【図24】



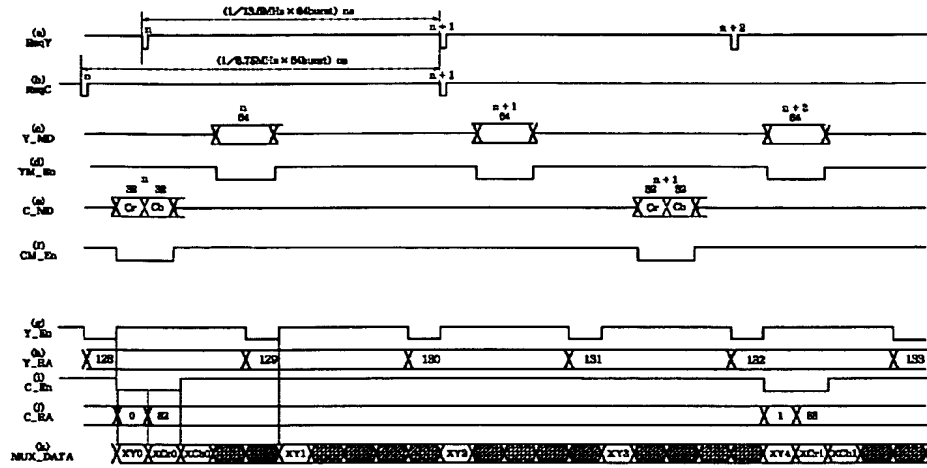
【図20】



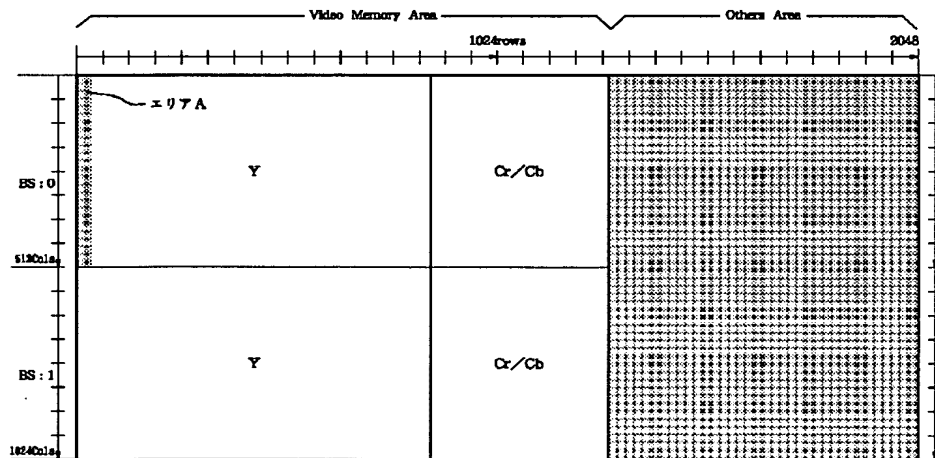
【図30】



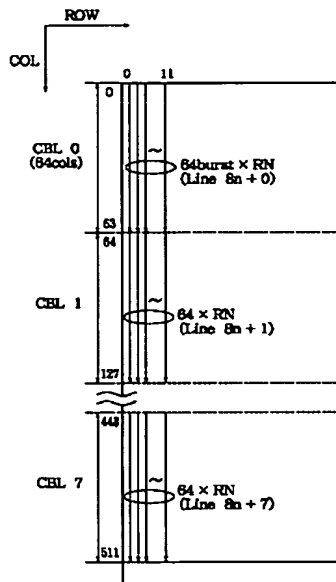
【図21】



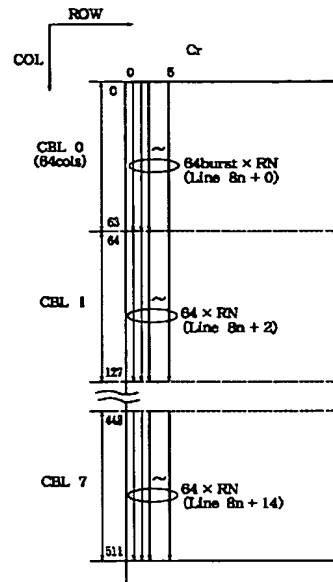
【図22】



【図26】



【図29】



【図27】

